

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-192760

(43)Date of publication of application : 30.07.1990

(51)Int.CI.

H01L 27/088

H01L 27/04

(21)Application number : 01-012809

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 20.01.1989

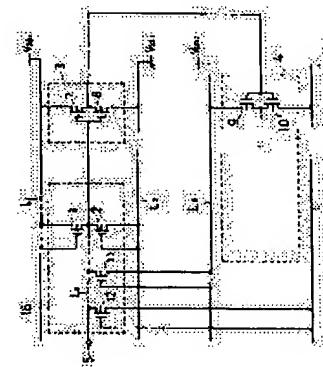
(72)Inventor : NAGAMINE HISASHI

(54) EXCESS VOLTAGE ABSORBING CIRCUIT FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To effectively protect the first stage of an input circuit by a method wherein, in a semiconductor integrated circuit, an excess voltage absorbing means is arranged between each of an input line, a plurality of power supply lines and ground lines.

CONSTITUTION: When a first stage input circuit 3 and an internal circuit 4 are connected with different power supply lines L1, L3 and ground lines L2, L4, a PMOSTr 11 and a NMOSTr 12 are arranged between the input line L5 and the power supply line L3 and the ground line L4, in addition to the conventional PMOSTr 1 and NMOSTr 2. According to this constitution, when an excess voltage is applied to an external terminal 5 in the manner in which any power sources of the positive power supply lines L1, L3, and the ground lines L2, L4 as a reference, its discharging route is surely present, and the excess voltage is discharged to any of the power supplies. As a result, the first stage input circuit 3 can be protected from the destruction caused by the excess voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

<http://www1.ipdl.ipb.go.jp/PA1/result/detail/main/wAAAa20969DA402192760P2.htm> 02/09/27

④Int.Cl.*

H 01 L 27/088
27/04

識別記号

序内整理番号

④公開 平成2年(1990)7月30日

H 7514-5F
7735-5F

H 01 L 27/08

102 F

審査請求 未請求 請求項の数 1 (全5頁)

④発明の名称 半導体集積回路装置の過電圧吸収回路

④特 願 平1-12809

④出 願 平1(1989)1月20日

④発明者 長峰 久之 東京都港区芝5丁目7番15号 日本電気アイシーマイコン
システム株式会社内④出願人 日本電気アイシーマイ
コンシステム株式会社 東京都港区芝5丁目7番15号

④代理人 弁理士 田巻 正憲

明細書

1. 発明の名称

半導体集積回路装置の過電圧吸収回路

2. 特許請求の範囲

(1) 第1の正電源線と第1の負電源線との間に接続されその入力部が外部端子に接続された第1の回路と、第2の正電源線と第2の負電源線との間に接続された第2の回路とを有する半導体集積回路装置における前記第1の回路の入力部と前記外部端子とを接続する入力線路に設けられ、前記外部端子に印加された過電圧を吸収する半導体集積回路装置の過電圧吸収回路において、前記入力線路と前記第1の正電源線及び前記第1の負電源線の少なくとも一方との間、並びに前記入力線路と前記第2の正電源線及び前記第2の負電源線の少なくとも一方との間に接続され、前記外部端子に過電圧が加わった場合に導通する手段を備えたことを特徴とする半導体集積回路装置の過電圧吸収回路。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は外部端子に印加された過電圧を吸収して内部回路を保護する半導体集積回路装置の過電圧吸収回路に関するもので、特に複数の回路が夫々異なる電源ラインから電力を供給される半導体集積回路装置の過電圧吸収回路に関するものである。

【従来の技術】

半導体集積回路装置においては、その回路の動作上の理由から複数の電源電圧が必要とされる場合、又は電源・接地線ノイズ対策上の理由から電源線又は接地線の分離が必要とされる場合がある。このような場合には、半導体集積回路に、分離配線された複数の電源線又は接地線を設け、これら電源線又は接地線を介して複数の電源端子又は接地端子から内部の回路に電源電圧を供給するようしている。

第2図にその代表的な例として、2つの電源線及び接地線を備えた半導体集積回路の構成例を示す。この回路は、入力初段回路3と内部回路4とが夫々異なる電源線に接続されたものとなつてい

る。即ち、相補対接続されたトランジスタ7、8からなる入力初段回路3は、第1の電源線し₁及び第1の接地線し₂に接続され、これらを介して電源V_{dd1}及び接地V_{ss1}が供給されたものとなっている。また、相補対接続されたトランジスタ9、10からなる内部回路4は、第2の電源線し₁及び第2の接地線し₂に接続され、これらを介して電源V_{dd2}及び接地V_{ss2}が供給されたものとなっている。

このように、入力初段回路3に供給される電源及び接地と内部回路4に供給される電源及び接地とが分離されている理由は、内部回路4又は図示しない出力バッファの動作によって発生する電源V_{dd2}及び接地V_{ss2}の振れが入力初段回路3に伝達され、この入力初段回路3の入力電圧マージンが悪化しないようとするためである。

ところで、従来、この種のCMOS半導体集積回路装置においては、入力端子5に印加される静電気及びその他のサージ電圧に対する保護回路として、例えば、第2図に示すような過電圧吸収回

路6が使用されている。

この過電圧吸収回路6は、ソース及びゲートがいずれも電源線し₁に接続され、ドレインが入力端子(外部端子)5と入力初段回路3の入力部とを接続する入力線し₃に接続されたPチャネルMOSトランジスタ1と、ソース及びゲートがいずれも接地線し₂に接続され、ドレインがトランジスタ1のドレインと共に入力線し₃に接続されたNチャネルMOSトランジスタ2により構成されている。トランジスタ1はそのソースを基準にしてドレインに-15[V]以下の電圧が、また、トランジスタ2はそのソースを基準にしてドレインに+15[V]以上の電圧が加わるとパンチスルーよりソースとドレインとの間を導通状態にするように機能する。

このように構成された従来の過電圧吸収回路6は、接地V_{ss1}を基準にして、正の静電気等のサージ電圧が入力端子5に印加された場合には、トランジスタ2のパンチスルーカurrentとして、また、負のサージ電圧が印加された場合には、トランジ

スタ2のチャネル電流としてトランジスタ2及び接地線し₂を介して接地V_{ss1}へそのサージ電圧が放電される。一方、電源V_{dd1}を基準として、正のサージ電圧が入力端子5に印加された場合にはトランジスタ1のチャネル電流として、また、負のサージ電圧が印加された場合には、トランジスタ1のパンチスルーカurrentとしてトランジスタ1及び電源線し₁を介して電源V_{dd1}へそのサージ電圧が放電される。このように、入力端子5に印加されたサージ電圧をトランジスタ1及びトランジスタ2を介して夫々電源V_{dd1}及び接地V_{ss1}へ逃がすことによって、入力初段回路3を構成するトランジスタ7及びトランジスタ8のゲート酸化膜等の破壊を防止することができる。

【発明が解決しようとする課題】

上述した従来の過電圧吸収回路は、例えば電源線し₁及び接地線し₂に夫々電源V_{dd1}及び接地V_{ss1}が与えられていない状態、即ちフローティング状態で電源V_{dd2}又は接地V_{ss2}を基準として入力端子5にサージ電圧が印加された場合には、

トランジスタ1又はトランジスタ2を介して電源線し₁又は接地線し₂に放電されるものの、電源線し₁及び接地線し₂はフローティングの状態であるため、その寄生容量分の僅かなサージ電荷しか吸収することができない。また、入力端子5と電源V_{dd2}及び接地線V_{ss2}との間の電流絶路は存在しないので、入力端子5に印加された静電気のほとんどは入力初段回路3を構成するトランジスタ7及びトランジスタ8のゲートに印加される。この結果、入力初段回路3を構成するトランジスタ7、8のゲート酸化膜の破壊を招き、また、トランジスタ1及びトランジスタ2を介して電源線し₁及び接地線し₂に放電され蓄積した電荷はトランジスタ7及びトランジスタ8のソースと基板との間の接合の破壊、又は入力線し₃と基板との間の絶縁膜の破壊を引き起こすという問題点がある。

本発明はかかる問題点に鑑みてなされたものであって、複数の回路が異なる電源線及び接地線と接続された半導体集積回路装置にあって、入力端

子といずれの電源線又は接地線との間に印加された過電圧に対しても十分な回路保護を図ることができる半導体集積回路装置の過電圧吸収回路を提供することを目的とする。

[課題を解決するための手段]

本発明に係る半導体集積回路装置の過電圧吸収回路は、第1の正電源線と第1の負電源線との間に接続されその入力部が外部端子に接続された第1の回路と、第2の正電源線と第2の負電源線との間に接続された第2の回路とを有する半導体集積回路装置における前記第1の回路の入力部と前記外部端子とを接続する入力線路に設けられ、前記外部端子に印加された過電圧を吸収する半導体集積回路装置の過電圧吸収回路において、前記入力線路と前記第1の正電源線及び前記第1の負電源線の少なくとも一方との間、並びに前記入力線路と前記第2の正電源線及び前記第2の負電源線の少なくとも一方との間に接続され、前記外部端子に過電圧が加わった場合に導通する手段を備えたことを特徴とする。

[作用]

本発明によれば、外部端子と第1の回路の入力部とを接続する入力線と第1の正電源線及び負電源線との間のみならず、入力線と第2の正電源線及び負電源線との間にも過電圧を吸収する手段を設けている。この過電圧を吸収する手段は、外部端子に過電圧が加わった場合に導通し、第1の回路又は第2の回路とで電荷の放電経路を形成するよう作用する。従って、第1の正電源線及び第2の正電源線並びに第1の負電源線及び第2の負電源線のいずれの電源を基準として過電圧が外部端子に印加されても必ずその放電経路が存在し、いずれかの電源に放電されるため、過電圧による第1の回路の破壊を防ぐことができる。

[実施例]

次に、本発明の実施例について添付の図面を参照して説明する。

第1図は本発明の実施例に係る過電圧吸収回路を適用した回路構成例を示す回路図である。第2図に示した従来の回路と相違する点は、過電圧吸

収回路16として、入力端子5と入力初段回路3の入力部とを接続する入力線L5と電源線L1及び接地線L4との間に夫々設けられているPチャネルMOSトランジスタ1及びNチャネルMOSトランジスタ2に加えて、入力線L5と電源線L1及び接地線L4との間に夫々PチャネルMOSトランジスタ11及びNチャネルMOSトランジスタ12が新たに設けられている点である。即ち、トランジスタ11のソースとゲートはいずれも電源線L1を介して電源VDD1に接続され、そのドレインは入力端子5と入力初段回路3の入力部を接続する入力線L5に接続されている。また、NチャネルMOSトランジスタ12のソースとゲートはいずれも接地線L4を介して接地VSS2に接続され、そのドレインはトランジスタ11のドレインと共に入力線L5に接続されている。トランジスタ11はそのソースを基準にしてドレインに-15[V]以下の電圧が、また、トランジスタ12はそのソースを基準にしてドレインに+15[V]以上の電圧が加わるとパンチスルによっ

てソースとドレインとの間が夫々導通するよう機能する。また、その他の構成要素は第2図に示した従来例と同一であるので説明は省略する。

次に、このように構成された本実施例の回路の動作について説明する。

トランジスタ1及びトランジスタ2は従来例と同様の動作をする。即ち、電源VDD1又は接地VSS2を基準として入力端子5に印加されたサージ電圧、例えば正の静電気は、接地VSS2に対してはトランジスタ2のパンチスル電流として、電源VDD1に対してはトランジスタ1のチャネル電流として放電される。また、入力端子5に印加された負のサージ電圧は、接地VSS2に対してはトランジスタ2のチャネル電流として、電源VDD1に対してはトランジスタ1のパンチスル電流として放電される。これによって、電源VDD1又は接地VSS2を基準として入力端子5に印加されたサージ電圧は入力初段回路3を構成するトランジスタ7、8のゲート酸化膜破壊電圧以下に抑えられ、サージ電圧による入力初段回路3

の破壊を防ぐことができる。

また、電源 V_{DD2} 又は接地 V_{SS2} を基準として入力端子 5 に印加されたサージ電圧は、接地 V_{SS1} に対してはトランジスタ 1,2 が V_{DD1} に対するトランジスタ 2 と同様に、また、電源 V_{DD2} に対してはトランジスタ 1,1 が V_{DD1} に対するトランジスタ 1 と同様に機能することによって電源 V_{DD2} 又は接地 V_{SS2} へ放電され、サージ電圧による入力初段回路 3 の破壊を防ぐことができる。

ここで、入力端子 5 に電源 V_{DD1} 又は電源 V_{DD2} を基準にして、トランジスタ 1 又はトランジスタ 1,1 のチャネル電流又はパンチスルーレ電流のみでは電源 V_{DD1} 又は電源 V_{DD2} へ放電しきれないような大きなサージ電圧が印加された場合には、その超過分はトランジスタ 2 又はトランジスタ 1,2 のチャネル電流又はパンチスルーレ電流によって夫々接地線 1 又は接地線 4 へ放電される。この結果、接地線 1 又は接地線 4 の電位は上昇するが、電源線 2 又は接地線 3 との間に接続され入力初段回路 3 を構成するトランジスタ 7,

8 又は電源線 2 又は接地線 3 との間に接続され内部回路 4 を構成するトランジスタ 9, 10 等のチャネル電流及びパンチスルーレ電流によって、接地線 1 又は接地線 4 に蓄積された電荷は夫々電源線 2 又は電源線 3 へ放電される。従って、入力端子 5 から電源 V_{DD1} 及び電源 V_{DD2} への放電経路はトランジスタ 1 についてはトランジスタ 2 及び入力初段回路 3 を介する経路が、また、トランジスタ 1,1 についてはトランジスタ 1,2 及び内部回路 4 を介する経路が並列に存在し、トランジスタ 1 及び 1,1 が設置されない場合には、これらの経路によって夫々電源 V_{DD1} 及び電源 V_{DD2} に放電される。

同様にして、入力端子 5 に接地 V_{SS1} 又は接地 V_{SS2} を基準にして、トランジスタ 2 又はトランジスタ 1,2 のチャネル電流又はパンチスルーレ電流のみで接地 V_{SS1} 又は接地 V_{SS2} へ放電しきれないような大きなサージ電圧が印加された場合には、その超過分は夫々トランジスタ 1 から入力初段回路 3 を介して接地 V_{SS1} へ至る経路又はトランジ

ステ 1,1 から内部回路 4 を介して接地 V_{SS2} へ至る経路によって接地 V_{SS1} 及び接地 V_{SS2} に放電される。

以上の説明から明らかなように、トランジスタ 1 及びトランジスタ 1,1, トランジスタ 1 及びトランジスタ 1,2, トランジスタ 2 及びトランジスタ 1,1, トランジスタ 2 及びトランジスタ 1,2 のいずれかの組合せがあれば入力端子 5 と各電源及び各接地との間の放電経路が形成され、サージ耐圧を向上させることができるが、本実施例のように、トランジスタ 1,2 及びトランジスタ 1,1, 1,2 を全て備えることによって、更に一層放電能力を高めることができる。これにより、静電気・ノイズ等のサージ電荷はすみやかに移動し、電源電位及び接地電位を急速に安定させることができ、静電気等のサージ耐圧を大幅に向上させることができる。

なお、前述した P チャネル MOS トランジスタ 1,2 及び N チャネル MOS トランジスタ 1,1, 1,2 のしきい値電圧及びパンチスルーレ開始電圧は

製造プロセスを修正することにより変更することができ、目的に応じて放電能力を調整して用いることができる。

また、本発明は、P チャネル MOS トランジスタ 1,2 及び N チャネル MOS トランジスタ 1,1, 1,2 に相当する放電手段を適宜増設することによって、任意の数の電源及び接地を有する半導体集積回路装置に適用することができる。

【発明の効果】

以上説明したように本発明は、入力初段回路の入力部と入力端子とを接続する入力線と複数の電源・接地端子の電源及び接地の少なくとも一方との間にサージ電圧の放電経路を設けている。このため、いずれの電源又は接地を基準としてサージ電圧が入力端子に印加されたとしても、そのサージ電圧をいずれかの電源又は接地に放電させることができ、入力初段回路を静電気等のサージ電圧から効果的に保護することができる。

4. 四面の簡単な説明

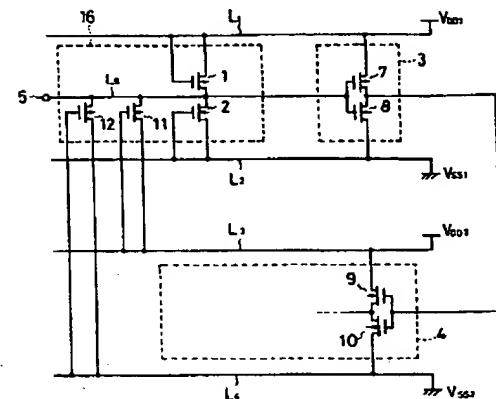
第 1 図は本発明の実施例に係る過電圧吸収回路

の適用例を示す回路図、第2図は従来の過電圧吸収回路の適用例を示す回路図である。

1, 7, 9, 11: PチャネルMOSトランジスタ、2, 8, 10, 12: NチャネルMOSトランジスタ、3: 入力初段回路、4: 内部回路、5: 入力端子、6, 16: 過電圧吸収回路、 L_1 、 L_2 、 L_3 : 電源線、 L_4 、 L_5 、 L_6 : 接地線、 V_{DD1} 、 V_{DD2} : 電源、 V_{SS1} 、 V_{SS2} : 接地

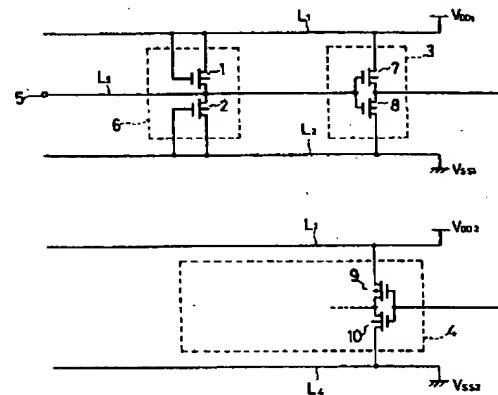
出願人 日本電気アイシーマイコンシステム
株式会社
代理人 井理士 駿巻正憲

3: 入力初段回路
4: 内部回路
5: 入力端子
16: 過電圧吸収回路



第1図

3: 入力初段回路
4: 内部回路
5: 入力端子
6: 過電圧吸収回路



第2図